

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Patent Number: JP2002083940

Publication date: 2002-03-22

Inventor(s): IIJIMA SHINPEI; MATSUI YUICHI; ASANO ISAMU

Applicant(s): HITACHI LTD

Requested Patent: ■ JP2002083940

Application Number: JP20000271893 20000907

Priority Number(s):

IPC Classification: H01L27/108; H01L21/8242

EC Classification:

Equivalents:

**Abstract**

PROBLEM TO BE SOLVED: To increase the reliability of a semiconductor device by preventing increase in leakage current of a capacitive element having an MIM structure.

SOLUTION: The semiconductor device comprises a capacitive element having a metal film for an electrode. The capacitive element consists of a first capacitive element formed with a metal electrode which is in contact with an insulation film, and a second capacitive element formed with a metal electrode which is in contact with a barrier film. The metal electrode of the second capacitive element is formed thicker than that of the first capacitive element. A method of fabricating the capacitive element comprises a process of forming a metal film which becomes a lower electrode in the bottom of the capacitive element; a process of forming the insulation film; a process of forming a hole in the insulation film to expose the surface of the metal film; and a process of forming a metal film which becomes a lower electrode on the side wall and bottom face of the hole. By these processes, the lower electrode of the capacitive element is formed thicker in the bottom than in the side wall.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-83940

(P2002-83940A)

(43)公開日 平成14年 3月22日(2002.3.22)

(51)Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テマコード(参考)

6 2 1 C 5 F 0 8 3

審査請求 未請求 請求項の数5 O L (全 16 頁)

(21)出願番号 特願2000-271893(P2000-271893)

(22)出願日 平成12年 9月 7日(2000.9.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 飯島 晋平

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 松井 裕一

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

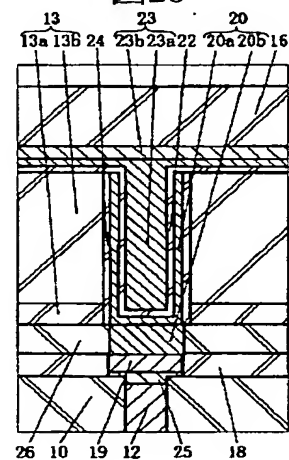
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 MIM構造の容量素子のリーク電流増加を防止し、半導体装置の信頼性を向上させる。

【解決手段】 金属膜を電極とする容量素子を有する半導体装置において、前記電極の容量素子が絶縁膜に接して金属電極が形成された第1の容量素子と、バリヤ膜に接して金属電極が形成された第2の容量素子とからなり、第2の容量素子の金属電極の膜厚を第1の容量素子の金属電極の膜厚よりも厚くする。また、その製造方法において、前記容量素子の底面部分の下部電極となる金属膜を形成する工程と、前記絶縁膜を形成する工程と、前記絶縁膜に前記金属膜の表面が露出する孔を形成する工程と、前記孔の側壁部分及び底面部分に下部電極となる金属膜を形成する工程とによって、容量素子の下部電極の底面部分の膜厚を側壁部分の膜厚よりも厚く形成する。

図25



【特許請求の範囲】

【請求項 1】 金属膜を電極とする容量素子を有する半導体装置において、

前記電極の容量素子が絶縁膜に接して金属電極が形成された第 1 の容量素子と、バリア膜に接して金属電極が形成された第 2 の容量素子とからなり、第 2 の容量素子の金属電極の膜厚を第 1 の容量素子の金属電極の膜厚よりも厚くしたことを特徴とする半導体装置。

【請求項 2】 絶縁膜に設けた孔の側壁部分に設けられる第 1 の容量素子と、前記孔の底面部分に設けられる第 2 の容量素子とを有する半導体装置において、

前記第 1 の容量素子は絶縁膜に接して下部電極が形成され、前記第 2 の容量素子はバリア膜に接して下部電極が形成され、夫々の下部電極を形成する金属膜を接続して、第 1 の容量素子と第 2 の容量素子とを並列に接続し、第 2 の容量素子の下部電極の膜厚を第 1 の容量素子の下部電極の膜厚よりも厚くしたことを特徴とする半導体装置。

【請求項 3】 第 2 の容量素子の下部電極の膜厚が第 1 の容量素子の下部電極の膜厚の 10 倍程度となっていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記容量素子の下部電極がルテニウムであり誘電体膜が酸化タンタルであることを特徴とする請求項 1 乃至請求項 3 の何れか一項に記載の半導体装置。

【請求項 5】 絶縁膜に形成した孔の底面部分及び側壁部分に容量素子を形成した半導体装置の製造方法において、

前記容量素子の底面部分の下部電極となる金属膜を形成する工程と、

前記絶縁膜を形成する工程と、

前記絶縁膜に前記金属膜の表面が露出する孔を形成する工程と、

前記孔の側壁部分及び底面部分に下部電極となる金属膜を形成する工程とによって、容量素子の下部電極の底面部分を側壁部分より厚く形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量素子を有する半導体装置に関し、特に、容量素子の下部電極に金属膜を用いた半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAM (Dynamic Random Access Memory) のメモリセルは、選択用 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) と情報蓄積用の容量素子とからなり、微細加工技術の進展によってメモリセルも微細化されているが、それに伴い容量素子の蓄積電荷量の減少が問題となってくる。この問

題を解決するために、容量素子を立体化することによって電極の面積を増加させ、蓄積電荷量を増加させる方法が考えられている。

【0003】図 1 に示すのは容量素子を立体化したメモリセルの一例であり、このメモリセルでは、単結晶シリコン等の半導体基板 1 主面を分離絶縁膜 2 によって区画した活性領域に 2 つの選択用 F E T が形成されており、夫々の F E T は半導体基板 1 主面上にゲート絶縁膜 3 を介して形成されたゲート電極 4、及びソース領域、ドレイン領域となる一対の半導体領域 5、6 からなり、各 F E T の一方の半導体領域 5 は一体として共有化されている。F E T は 1 層目の層間絶縁膜 7 によって覆われ、この 1 層目の層間絶縁膜 7 上に形成されたビット線 8 と前記一方の半導体領域 5 とが層間絶縁膜 7 を貫通するプラグ 9 によって接続されている。

【0004】ビット線 8 は 2 層目の層間絶縁膜 10 に覆われ、この 2 層目の層間絶縁膜 10 上に容量素子が形成され、容量素子の下部電極 11 と F E T の他方の半導体領域 6 とが層間絶縁膜 7 を貫通するプラグ 9 及び層間絶縁膜 10 を貫通するプラグ 12 によって夫々接続されている。容量素子は、3 層目の層間絶縁膜 13 に設けられた孔内に金属膜の上部電極 14、絶縁体の誘電体膜 15、多結晶シリコンの下部電極 11 を積層した M I S (Metal-Insulator-Silicon) 構造となっており、容量素子は全面に形成された保護絶縁膜 16 によって覆われている。

【0005】この容量素子では、3 層目の層間絶縁膜 13 に設けた孔の底面部分の面積に孔の側壁部分の面積を加えた面積を電極の面積として利用するため、平面上の占有面積である底面部分の面積に比較して、電極面積を拡大することができる。しかし、更なる微細化を進めるためには、こうした容量素子の立体化だけでは蓄積電荷量が不足してしまう。このため、従来誘電体膜として用いられている窒化珪素 (比誘電率: 7~8) よりも比誘電率の高い材料である酸化タンタル (Ta_2O_5)、チタン酸ストロンチウム (S T O)、チタン酸バリウムストロンチウム (B S T) 等の高誘電体・強誘電体材料を誘電体膜に用いることによって蓄積電荷量を増加させる方法が考えられている。酸化タンタルは比誘電率が 40 程度、チタン酸ストロンチウム、チタン酸バリウムストロンチウムは比誘電率が 200~500 程度であり、蓄積電荷量の増加が期待できる。

【0006】例として、酸化タンタルを誘電体に用いた M I S 構造の容量素子の製造プロセスを図 2 乃至図 9 を用いて説明する。まず、2 層目の層間絶縁膜 10 の所定領域に多結晶シリコンからなるプラグ 12 を形成し、全面に 3 層目の層間絶縁膜 13 の下層膜 13 a となる窒化珪素膜を形成する。この状態を図 2 に示す。続いて、全面に 3 層目の層間絶縁膜 13 の上層膜 13 b となる酸化珪素膜を形成する。この状態を図 3 に示す。

3

【0007】次に、3層目の層間絶縁膜13の所定領域にホトリソグラフィによりパターンニングしたマスクを用いたエッチングによって孔を形成し、この孔の底面部分ではプラグ12の表面を露出させる。このエッチングでは窒化珪素の下層膜13aがエッチングストップとして機能しエッチングの精度を向上させている。この状態を図4に示す。

【0008】次に、全面に下部電極11となる多結晶シリコン膜11'を形成する。この状態を図5に示す。続いて、前記孔を酸化珪素膜17によって埋め込む。この状態を図6に示す。続いて、この酸化珪素膜17によって孔内の多結晶シリコン膜11'を保護して他の多結晶シリコン膜11'を除去した後に孔内の酸化珪素膜17を除去して下部電極11を形成する。この状態を図7に示す。

【0009】次に、アンモニア雰囲気中で、750℃3分間の熱処理を加え、下部電極11表面に薄い熱窒化膜を形成した後に、全面に誘電体膜15となる酸化タンタルを堆積させ、酸化性雰囲気中で800℃3分間の熱処理を加える。この状態を図8に示す。次に、全面にCVDにより形成した窒化チタン膜14a及びスパッタにより形成した窒化チタン14bを順に積層した上部電極14を形成し、全面を保護絶縁膜16で覆い容量素子を形成する。この状態を図9に示す。

【0010】高誘電体・強誘電体材料は前述した酸化性雰囲気中での熱処理によって結晶化及び改質化され、比誘電率が高くなりリーク電流も小さくなる。このために前記熱処理が必要であり、また、この熱処理によって下部電極である多結晶シリコン表面の熱窒化膜が酸化されてシリコン酸窒化膜になり、誘電体膜がこのシリコン酸窒化膜と酸化タンタルとの積層膜になる。その結果、リーク電流を極めて低いレベルに維持することができる。

【0011】本発明者等はMIS構造の容量素子についてリーク電流の測定を行なった。前述した容量素子は、夫々構成の異なる側壁部分に形成された容量と底面部分に形成された容量とを一体に並列接続したものと考えられることから、この測定では夫々の容量を想定したモデルについて個別に測定を行なった。

【0012】図10の(a)に示すのは容量素子の側壁部分に形成される容量を想定したモデルであり、その構成は、n型シリコン半導体基板101上に層間絶縁膜に相当する酸化珪素膜102を形成し、その上に下部電極となる多結晶シリコン膜103を形成し、アンモニア雰囲気中で、750℃3分間の熱処理を加え、多結晶シリコン膜103表面に1nm程度の薄い熱窒化膜を形成した後に、誘電体膜に相当する厚さ10nmの酸化タンタル膜104をCVDにより形成し、800℃の酸素雰囲気中3分間熱処理を加えた後に、上部電極に相当する窒化チタン膜105をCVDにより堆積させパターンニングし、酸化タンタル膜104を一部開口して多結晶シリコ

4

ン膜103を露出させてある。図10の(b)に示すのは容量素子の底面部分に形成される容量を想定したモデルであり、その構成は、前述した側壁部分のモデルから層間絶縁膜に相当する酸化珪素膜102を除いた構成となっている。

【0013】これらのモデルについて、側壁部分のモデルについては、上部電極となる窒化チタン膜105と下部電極となる多結晶シリコン膜103との間に電圧を印加して誘電体膜のリーク電流を測定し、底面部分のモデルについては、上部電極となる窒化チタン膜105と半導体基板101との間に電圧を印加して誘電体膜に想到する酸化タンタル膜104のリーク電流を測定した結果を図11に示す。この図から明らかなように、上部電極への印加電圧を-3Vから+3Vまで変化させてリーク電流の電流密度を測定した結果、何れのモデルでも結果は同じであり、印加電圧が-1Vから+1Vでは $1E-9 A/cm^2$ と極めて低いリーク電流レベルとなっている。

【0014】このようにMIS構造の容量素子ではリーク電流が低くなるという利点はあるが、前述した熱処理によって形成されたシリコン酸窒化膜が低誘電率のため、誘電体膜がシリコン酸窒化膜と酸化タンタルとの積層膜になることによって、誘電体膜全体としての誘電率が低下してしまうという問題がある。このような誘電率の低下を防止するためには、誘電体膜の下地となる下部電極に低誘電率層が生成されることのない金属材料を用いたMIM(Metal-Insulator-Metal)構造の容量素子が考えられており、その材料として具体的には白金族のルテニウム、プラチナ、イリジウム等が検討されている。

【0015】例として、ルテニウムを下部電極に用いたMIM構造の容量素子の製造プロセスを図12乃至図21を用いて説明する。まず、2層目の層間絶縁膜10の所定領域に多結晶シリコンからなるプラグ12を形成し、全面に絶縁膜18を形成する。この状態を図12に示す。続いて、絶縁膜18にプラグ12の表面が露出する開口を設ける。この状態を図13に示す。続いて、前記開口を埋め込む窒化チタンのバリア層19を形成する。この状態を図14に示す。続いて、全面に3層目の層間絶縁膜13を形成する。この状態を図15に示す。バリア層19は、下部電極に金属膜を用いた場合に、金属膜が酸素を透過しやすいため、プラグ12のシリコンと金属膜とが熱処理によって反応し金属シリサイド膜が形成されるのを防止するために設けられており、特開平10-79481号公報にはバリア層として、チタン、タングステンタンタル、コバルト、モリブデン等の高融点金属とシリコンと窒素とを含む導電層が提案されている。

【0016】次に、3層目の層間絶縁膜13の所定領域にホトリソグラフィによりパターンニングしたマスクを用

いたエッチングによって孔を形成し、この孔の底面部分ではバリア層19の表面を露出させる。この状態を図16に示す。次に、全面に下部電極20となるルテニウム膜20'を形成する。この状態を図17に示す。続いて、前記孔を酸化珪素膜21によって埋め込む。この状態を図18に示す。続いて、この酸化珪素膜21によって孔内のルテニウム膜20'を保護して他のルテニウム膜20'を除去した後に孔内の酸化珪素膜21を除去して下部電極20を形成する。この状態を図19に示す。

【0017】次に、全面に誘電体膜22となる酸化タンタルを堆積させ、酸化性雰囲気中で650℃程度の熱処理を加え改質結晶化を行なう。この状態を図20に示す。次に、全面にCVDにより形成したルテニウムを用いた下層膜23a及びスパッタにより形成した上層膜23bを順に積層した上部電極23を形成し、全面を保護絶縁膜16で覆って容量素子を形成する。この状態を図21に示す。

【0018】

【発明が解決しようとする課題】このMIM構造の容量素子についてリーク電流の測定を行なった。前述したリーク電流の測定と同様に、側壁部分に形成された容量と底面部分に形成された容量とを想定したモデルについて個別に測定を行なった。

【0019】図22の(a)に示すのは容量素子の側壁部分に形成される容量を想定したモデルであり、その構成は、n型シリコン基板101上に層間絶縁膜に相当する酸化珪素膜102を形成し、その上に下部電極となるルテニウム膜106を厚さ20nmで形成し、誘電体膜に相当する厚さ10nmの酸化タンタル膜107をCVDにより形成し、650℃の酸素雰囲気中で2分間熱処理を加え結晶化改質処理を行なった後に、上部電極に相当するルテニウム膜108をCVDにより堆積させパターニングし、酸化タンタル膜107を一部開口して下部電極となるルテニウム膜106を露出させてある。

【0020】図22の(b)に示すのは容量素子の底面部分に形成される容量を想定したモデルであり、その構成は、n型シリコン基板101上にプラグを想定した多結晶シリコン膜103を形成し、バリア層を想定した窒化チタン膜109を形成し、その上に下部電極となるルテニウム膜106を厚さ20nmで形成し、誘電体膜に相当する厚さ10nmの酸化タンタル膜107をCVDにより形成し、650℃の酸素雰囲気中で2分間熱処理を加え結晶化改質処理を行なった後に、上部電極に相当するルテニウム膜108をCVDにより堆積させパターニングしてある。

【0021】これらのモデルについて、側壁部分のモデルについては、上部電極となるルテニウム膜108と下部電極となるルテニウム膜107との間に電圧を印加して誘電体膜となる酸化タンタル膜107のリーク電流を測定し、底面部分のモデルについては、上部電極となる

ルテニウム膜108と半導体基板101との間に電圧を印加して酸化タンタル膜107のリーク電流を測定した結果を図23に示す。

【0022】この図から明らかなように、上部電極への印加電圧を-3Vから+3Vまで変化させてリーク電流の電流密度を測定した結果、側壁部分のモデルでは前記MIS構造の容量素子と略同様に良好なリーク電流が少なく良好な特性を示しているが、底面部分のモデルではリーク電流が極めて大きい。従って、底面部分では蓄積すべき電荷が漏洩してしまい情報保持ができないことから、記憶素子としての機能を果たすことが難しくなる。

【0023】この原因として、前述したMIS構造の容量素子については、下部電極が多結晶シリコンであり酸素を透過しないので、下部電極の下地膜による影響を受けないが、MIM構造の容量素子については、下部電極が酸素を透過するので、その下地膜によって影響を受ける。即ち、側壁部分では下部電極が絶縁膜に接しているのに対して、底面部分では下部電極がバリア膜等の導電性膜に接しているという構成の相違によって誘電体の特性が異なるものと考えられる。

【0024】本発明の課題は、このような問題を解決し、MIM構造の容量素子のリーク電流増加を防止し、半導体装置の信頼性を向上させることが可能な技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0025】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。金属膜を電極とする容量素子を有する半導体装置において、前記電極の容量素子が絶縁膜に接して金属電極が形成された第1の容量素子と、バリア膜に接して金属電極が形成された第2の容量素子とからなり、第2の容量素子の金属電極の膜厚を第1の容量素子の金属電極の膜厚よりも厚くする。また、その製造方法において、前記容量素子の底面部分の下部電極となる金属膜を形成する工程と、前記絶縁膜を形成する工程と、前記絶縁膜に前記金属膜の表面が露出する孔を形成する工程と、前記孔の側壁部分及び底面部分に下部電極となる金属膜を形成する工程とによって、容量素子の下部電極の底面部分を側壁部分より厚く形成する。

【0026】図24に示すのは、図22の(b)に示す底面部分のモデルについて、酸化タンタル膜107の膜厚は10nmと一定にして下部電極となるルテニウム膜106の膜厚を20、50、100、200nm（膜厚比：2、5、10、20）に変えた場合のリーク電流の変化を測定した結果を示すグラフである。膜厚20nm及び50nmではリーク電流は極めて大きい。膜厚100nmではリーク電流が大幅に低減している。しかし膜厚100nmではリーク電流の電流密度が $1E-7A$

A/cm^2 であり実用上の特性としては不十分である。これに対して膜厚 200 nm (膜厚比: 20) では、更にリーク電流が低減され印加電圧 1 V でリーク電流の電流密度が $1 \text{E}-9 \text{ A}/\text{cm}^2$ となり充分実用に耐えうる特性を示している。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0028】(実施の形態 1) 図 25 は、本発明の一実施の形態である半導体装置の容量素子を示す縦断面図である。本実施の形態の容量素子は誘電体膜に酸化タンタルを用いた MIM 構造となっている。

【0029】本実施の形態の容量素子は、単結晶シリコン等の半導体基板主面を覆う層間絶縁膜 10 上に形成され、層間絶縁膜 10 上に形成された層間絶縁膜 13 に設けられた孔内に窒化チタン或いはルテニウムを用いた下層膜 23a と窒化チタン或いはタングステンを用いた上層膜 23b を積層した上部電極 23、酸化タンタルを用いた厚さ 5 nm 程度の誘電体膜 22、ルテニウムを用いた下部電極 20 を積層して容量素子を構成し、全面に形成された保護絶縁膜 16 によって容量素子を覆ってある。

【0030】下部電極 20 は、前記孔の側壁部分では接着層 24 である酸化タンタル膜を介して層間絶縁膜 13 に接し、前記孔の底面部分では窒化チタン或いは窒化タンタル等を用いたバリア層 19 に接している。この構成の違いから、容量素子は側壁部分に形成される第 1 の容量素子と、底面部分に形成される第 2 の容量素子を並列に接続したものと考えられる。そして、下部電極 20 は側壁部分及び底面部分に形成される厚さ 20 nm の上層膜 20a と底面部分に形成される厚さ 200 nm の下層膜 20b とからなっており、側壁部分の第 1 の容量素子では下部電極 20 が上層膜 20a によって 20 nm 程度に構成され、底面部分の第 2 の容量素子では下部電極 20 が上層膜 20a 及び下層膜 20b によって 220 nm 程度に構成され、上層膜 20a が連続しているため下部電極 20 が一体化されている。下層膜 20b が接しているバリア層 19 は、シリサイド層 25 上に形成され、このシリサイド層 25 に層間絶縁膜 10 を貫通するプラグ 12 が接続され、このプラグ 12 が前記半導体基板主面に形成されている半導体領域に導通している。

【0031】本実施の形態では、底面部分の下部電極 20 が側壁部分の下部電極に対して膜厚比 20 倍以上に厚く形成されているため、前述したリーク電流の増加を防止することができる。

【0032】続いて図 25 に示す容量素子の製造方法について図 26 乃至図 42 を用いて説明する。まず、図 26 に示すように、層間絶縁膜 10 の所定領域に多結晶シ

リコンからなるプラグ 12 を形成し、全面に絶縁膜 18 を形成し、図 27 に示すように、絶縁膜 18 にプラグ 12 の表面が露出する開口を設ける。続いて、図 28 に示すように、全面にルテニウム、チタン等の金属膜 25' を堆積させ、650℃ の非酸化性雰囲気中で 1 分程度の熱処理を加え、未反応金属を除去して、図 29 に示すように、前記開口内に金属シリサイド層 25 を形成する。

【0033】次に、図 30 に示すように、全面に窒化チタン、窒化タンタル等の金属膜 19' を堆積させ、図 31 に示すように、表面の金属膜 19' を除去して前記開口をバリア層 19 で埋め込む。続いて、全面に厚さ 200 nm 程度に絶縁膜 26 を形成し、図 32 に示すように、バリア層 19 を露出させる開口を設け、図 33 に示すように、全面にルテニウム膜 20b' を堆積させ、図 34 に示すように表面のルテニウム膜 20b' を除去して前記開口内部に下部電極 20 の下層膜 20b を形成する。

【0034】次に、図 35 に示すように、層間絶縁膜 13 の下層膜 13a、上層膜 13b、ハードマスク 27 を夫々全面に順次形成し、続いて、所定領域にホトリソグラフィによりパターンニングしたレジストマスクを用いてハードマスク 27 をパターンニングし、パターンニングしたハードマスク 27 を用いたエッチングによって、図 36 に示すように孔を形成し、この孔の底面部分では下部電極 20 の下層膜 20b の表面を露出させる。

【0035】次に、ハードマスク 27 を除去し、図 37 に示すように、全面に接着層 24 となる酸化タンタル膜 24' を 5 nm 程度形成し、図 38 に示すように、異方性ドライエッチングによって表面及び孔の底面部分の酸化タンタル膜 24' を除去し、孔の側壁部分に接着層 24 を形成する。

【0036】次に、図 39 に示すように、下部電極 20 の上層膜 20a となるルテニウム膜 20a' を全面に 20 nm 程度形成し、続いて、図 40 に示すように、前記孔をレジストマスク 28 によって埋め込み、続いて、このレジストマスク 28 によって孔内のルテニウム膜 20a' を保護して他のルテニウム膜 20a' を除去した後、図 41 に示すように、下部電極 20 の上層膜 20a を形成し、ルテニウムの緻密化のために 700℃ 1 分程度の熱処理を施す。

【0037】次に、図 42 に示すように、全面に誘電体膜 22 となる酸化タンタルを堆積させ、非酸化性雰囲気中で 650℃ 2 分程度の熱処理を加え、更に酸化性雰囲気中で 650℃ 1 分程度の熱処理を加え酸化タンタルの改質結晶化を行なう。この後、全面に CVD により形成したルテニウム、窒化チタン等の下層膜 23a 及びスパッタにより形成した窒化チタン、タングステン等の上層膜 23b を順に積層した上部電極 23 を形成し、全面を保護絶縁膜 16 で覆って容量素子を形成して図 25 に示

す状態となる。

【0038】（実施の形態2）図43は、本発明の他の実施の形態である半導体装置の容量素子を示す縦断面図である。本実施の形態の容量素子では、バリア層19がプラグ12の形成される層間絶縁膜10に埋め込まれた構成となっており、他の構成は前述した実施の形態と略同様である。

【0039】本実施の形態の容量素子は、層間絶縁膜10上に形成された層間絶縁膜13に設けられた孔内に窒化チタン或いはルテニウムを用いた下層膜23aと窒化チタン或いはタングステンをを用いた上層膜23bを積層した上部電極23、酸化タンタルを用いた厚さ5nm程度の誘電体膜22、ルテニウムを用いた下部電極20を積層して容量素子を構成し、全面に形成された保護絶縁膜16によって容量素子を覆ってある。

【0040】下部電極20は、前記孔の側壁部分では接着層24である酸化タンタル膜を介して層間絶縁膜13に接し、前記孔の底面部分では窒化チタン或いは窒化タンタル等を用いたバリア層19に接している。下部電極20は側壁部分及び底面部分に形成される厚さ20nmの上層膜20aと底面部分に形成される厚さ200nmの下層膜20bとからなっており、側壁部分の第1の容量素子では下部電極20が上層膜20aによって20nm程度に構成され、底面部分の第2の容量素子では下部電極20が上層膜20a及び下層膜20bによって220nm程度に構成され、上層膜20aが連続しているため下部電極20が一体化されている。下層膜20bが接しているバリア層19は、シリサイド層25上に形成され、このバリア層19及びシリサイド層25は層間絶縁膜10に設けた孔内に埋め込まれている。

【0041】本実施の形態では、前述した実施の形態では必要であったバリア層19形成のための絶縁膜18が不用となり、工程を簡略化することができる。

【0042】続いて図43に示す容量素子の製造方法について図44乃至図49を用いて説明する。まず、図44に示すように、層間絶縁膜10の所定領域に多結晶シリコンからなるプラグ12を形成し、プラグ12を表面から100nm程度掘り下げて開口を形成し、図45に示すように、前記開口内に金属シリサイド層25及びバリア層19を順次形成し、前記開口を埋め込む。次に、全面に厚さ200nm程度に絶縁膜26を形成し、図46に示すように、容量素子形成領域にバリア層19が露出する開口を設け、図47に示すように、前記開口内部に下部電極20の下層膜20bを形成する。

【0043】次に、図48に示すように、層間絶縁膜13の下層膜13a、上層膜13b、ハードマスク27を夫々全面に順次形成し、続いて、所定領域に図49に示すように孔を形成し、この孔の底面部分では下部電極20の下層膜20bの表面を露出させる。この後、孔の側壁部分に接着層24を形成し、下部電極20の上層膜2

0aを形成し、全面に誘電体膜22となる酸化タンタルを堆積させ、続いて、全面にCVDにより形成したルテニウム、窒化チタン等の下層膜23a及びスパッタにより形成した窒化チタン、タングステン等の上層膜23bを順に積層した上部電極23を形成し、全面を保護絶縁膜15で覆って容量素子を形成して図43に示す状態となる。

【0044】（実施の形態3）図50は、本発明の他の実施の形態である半導体装置の容量素子を示す縦断面図である。本実施の形態の容量素子では、金属シリサイド層25及びバリア層19に替えて金属シリサイドナイトライド層29を設ける構成となっており、更に下部電極20の下層膜20aが前記孔の底面部分の全域ではなく、金属シリサイドナイトライド層29の部分のみに設けられており、他の構成は前述した実施の形態と略同様である。

【0045】本実施の形態の容量素子は、層間絶縁膜10上に形成された層間絶縁膜13に設けられた孔内に窒化チタン或いはルテニウムを用いた下層膜23aと窒化チタン或いはタングステンをを用いた上層膜23bを積層した上部電極23、酸化タンタルを用いた厚さ5nm程度の誘電体膜22、ルテニウムを用いた下部電極20を積層して容量素子を構成し、全面に形成された保護絶縁膜16によって容量素子を覆ってある。

【0046】下部電極20は、前記孔の側壁部分では接着層24である酸化タンタル膜を介して層間絶縁膜13に接し、前記孔の底面部分では窒化チタン或いは窒化タンタル等を用いたバリア層19に接している。下部電極20は側壁部分及び底面部分に形成される厚さ20nmの上層膜20aと底面部分に形成される厚さ200nmの下層膜20bとからなっており、側壁部分の第1の容量素子では下部電極20が上層膜20aによって20nm程度に構成され、底面部分の第2の容量素子では下部電極20が上層膜20a及び下層膜20bによって220nm程度に構成され、上層膜20aが連続しているため下部電極20が一体化されている。下層膜20bは金属シリサイドナイトライド層29を介してプラグ12と接しており、金属シリサイドナイトライド層29は、プラグ12の形成される層間絶縁膜10に設けた孔内に埋め込まれている。

【0047】本実施の形態では、前述した実施の形態のシリサイド層25及びバリア層19を金属シリサイドナイトライド層29とし、下層膜20aの形成に必要であった層間絶縁膜26が不用となるため、工程を簡略化することができる。

【0048】続いて図50に示す容量素子の製造方法について図51乃至図58を用いて説明する。まず、図51に示すように、層間絶縁膜10の所定領域に多結晶シリコンからなるプラグ12を形成し、プラグ12を表面から100nm程度掘り下げて開口を形成し、図52に

示すように前記開口内に金属膜 30 を形成し、図 5 3 に示すようにこの金属膜 30 とプラグ 12 のシリコンとを反応させて金属シリサイド層 31 を形成し、図 5 4 に示すように未反応の金属膜 30 を除去する。

【0049】次に、図 5 5 に示すように、金属シリサイド層 31 を窒化処理して金属シリサイドナイトライド層 29 を形成し、図 5 6 に示すように前記開口内を含む全面にルテニウム膜 20 b' を堆積させ、エッチングによって、図 5 7 に示すように前記開口内以外のルテニウム膜 20 b' を除去して、前記開口を埋め込む下部電極 20 b を形成する。

【0050】次に、図 5 8 に示すように、層間絶縁膜 13 の下層膜 13 a、上層膜 13 b、ハードマスク 27 を夫々全面に順次形成する。以降の工程は前述した実施の形態と同様であり、層間絶縁膜 13 に孔を形成し、孔の側壁部分に接着層 24 を形成し、下部電極 20 の上層膜 20 a を形成し、全面に誘電体膜 22 となる酸化タンタルを堆積させ、続いて、上部電極 23 を形成し、全面を保護絶縁膜 16 で覆って容量素子を形成して図 5 0 に示す状態となる。

【0051】（実施の形態 4）図 5 9 は、本発明の他の実施の形態である半導体装置の容量素子を示す縦断面図である。本実施の形態の容量素子では、金属シリサイド層 25 及びバリア層 19 に替えて金属シリサイドナイトライド層 29 を設けるが、前述した実施の形態の金属膜 30 をルテニウムとすることによって、未反応の金属膜 30 を除去する工程を省略することが可能であり、工程を簡略化することができる。他の構成は前述した実施の形態と略同様である。

【0052】本実施の形態の容量素子は、層間絶縁膜 10 上に形成された層間絶縁膜 13 に設けられた孔内に窒化チタン或いはルテニウムを用いた下層膜 23 a と窒化チタン或いはタングステンを用いた上層膜 23 b を積層した上部電極 23、酸化タンタルを用いた厚さ 5 nm 程度の誘電体膜 22、ルテニウムを用いた下部電極 20 を積層して容量素子を構成し、全面に形成された保護絶縁膜 16 によって容量素子を覆ってある。

【0053】下部電極 20 は、前記孔の側壁部分では接着層 24 である酸化タンタル膜を介して層間絶縁膜 13 に接し、前記孔の底面部分では窒化チタン或いは窒化タンタル等を用いたバリア層 19 に接している。下部電極 20 は側壁部分及び底面部分に形成される厚さ 20 nm の上層膜 20 a と底面部分に形成される厚さ 200 nm の下層膜 20 b とからなっており、側壁部分の第 1 の容量素子では下部電極 20 が上層膜 20 a によって 20 nm 程度に構成され、底面部分の第 2 の容量素子では下部電極 20 が上層膜 20 a 及び下層膜 20 b によって 220 nm 程度に構成され、上層膜 20 a が連続しているため下部電極 20 が一体化されている。下層膜 20 b は金属シリサイドナイトライド層 29 を介してプラグ 12 と

接しており、金属シリサイドナイトライド層 29 は、プラグ 12 の形成される層間絶縁膜 10 に設けた孔内に埋め込まれている。

【0054】続いて図 5 9 に示す容量素子の製造方法について図 6 0 乃至図 6 3 を用いて説明する。まず、図 6 0 に示すように、層間絶縁膜 10 の所定領域に多結晶シリコンからなるプラグ 12 を形成し、プラグ 12 を表面から 100 nm 程度掘り下げて開口を形成し、前記開口内にルテニウムからなる金属膜 30 を形成し、この金属膜 30 とプラグ 12 のシリコンとを反応させて金属シリサイド層 31 を形成し、図 6 1 に示すように金属シリサイド層 31 を窒化処理して金属シリサイドナイトライド層 29 を形成する。

【0055】次に、図 6 2 に示すように前記開口内を含む全面にルテニウム膜 20 b' を堆積させ、エッチングによって、図 6 3 に示すように前記開口内以外のルテニウム膜 20 b' 及び金属膜 30 を除去して、前記開口を埋め込む下部電極 20 b を形成する。

【0056】以降の工程は前述した実施の形態と同様であり、層間絶縁膜 13 の下層膜 13 a、上層膜 13 b、ハードマスク 27 を夫々全面に順次形成し、孔を形成し、孔の側壁部分に接着層 24 を形成し、下部電極 20 の上層膜 20 a を形成し、全面に誘電体膜 22 となる酸化タンタルを堆積させ、続いて、上部電極 23 を形成し、全面を保護絶縁膜 16 で覆って容量素子を形成して図 5 9 に示す状態となる。

【0057】（実施の形態 5）図 6 4 は、本発明の他の実施の形態である半導体装置の容量素子を示す縦断面図である。本実施の形態の容量素子では、下部電極 20 の上層膜 20 a の底面部分の下地が酸化タンタル膜とする構成となっており、他の構成は前述した実施の形態と略同様である。

【0058】本実施の形態の容量素子は、層間絶縁膜 10 上に酸化タンタル膜 32 を介して形成された層間絶縁膜 13 に設けられた孔内に窒化チタン或いはルテニウムを用いた下層膜 23 a と窒化チタン或いはタングステンを用いた上層膜 23 b を積層した上部電極 23、酸化タンタルを用いた厚さ 5 nm 程度の誘電体膜 22、ルテニウムを用いた下部電極 20 を積層して容量素子を構成し、全面に形成された保護絶縁膜 16 によって容量素子を覆ってある。

【0059】下部電極 20 は、前記孔の側壁部分では接着層 24 である酸化タンタル膜を介して層間絶縁膜 13 に接し、前記孔の底面部分では窒化チタン或いは窒化タンタル等を用いたバリア層 19 に接している。下部電極 20 は側壁部分及び底面部分に形成される厚さ 20 nm の上層膜 20 a と底面部分に形成される厚さ 200 nm の下層膜 20 b とからなっており、側壁部分の第 1 の容量素子では下部電極 20 が上層膜 20 a によって 20 nm 程度に構成され、底面部分の第 2 の容量素子では下部

10

20

30

40

50

電極 20 が上層膜 20a 及び下層膜 20b によって 220nm 程度に構成され、上層膜 20a が連続しているため下部電極 20 が一体化されている。下層膜 20b は金属シリサイドナイトライド層 29 を介してプラグ 12 と接しており、金属シリサイドナイトライド層 29 は、プラグ 12 の形成される層間絶縁膜 10 に設けた孔内に埋め込まれている。

【0060】本実施の形態では、前述した実施の形態に加えて、下部電極 20 の上層膜 20a の底面及び下層膜 20b の側面が酸化タンタル膜 32 となるため下部電極 20 の剥離が生じにくくなる。

【0061】続いて図 64 に示す容量素子の製造方法について図 65 乃至図 68 を用いて説明する。まず、図 65 に示すように、層間絶縁膜 10 上に酸化タンタル膜 32 を積層し、図 66 に示すように、層間絶縁膜 10 及び酸化タンタル膜 32 の所定領域に孔を形成し、この孔内に多結晶シリコンからなるプラグ 12 を形成し、プラグ 12 を表面から 100nm 程度掘り下げて開口を形成する。続いて、図 67 に示すように前記開口内に金属シリサイドナイトライド層 29 を形成し、前記開口内を含む全面にルテニウム膜 20b' を堆積させ、エッチングによって、図 68 に示すように前記開口内以外のルテニウム膜 20b' を除去して、前記開口を埋め込む下部電極 20b を形成する。

【0062】以降の工程は前述した実施の形態と同様であり、層間絶縁膜 13 の下層膜 13a、上層膜 13b、ハードマスク 27 を夫々全面に順次形成し、孔を形成し、孔の側壁部分に接着層 24 を形成し、下部電極 20 の上層膜 20a を形成し、全面に誘電体膜 22 となる酸化タンタルを堆積させ、続いて、上部電極 23 を形成し、全面を保護絶縁膜 16 で覆って容量素子を形成して図 64 に示す状態となる。

【0063】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0064】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、容量素子の金属下部電極の底面部分を側壁部分よりも厚くすることによってリーク電流を低減することができるという効果がある。

(2) 本発明によれば、上記効果 (1) により、MIM 構造の容量素子を実現することが可能になるという効果がある。

(3) 本発明によれば、上記効果 (2) により、容量素子の誘電体膜に高誘電率の材料を採用することができるという効果がある。

(4) 本発明によれば、上記効果 (3) により、容量素子の容量を増加させることが可能になるという効果がある。

(5) 本発明によれば、上記効果 (4) により、メモリセルをより微細化することができるという効果がある。

(6) 本発明によれば、上記効果 (5) により、半導体記憶装置の記憶容量を更に大容量化することが可能になるという効果がある。

(7) 本発明によれば、上記効果 (5) により、同一記憶容量の半導体記憶装置のチップサイズを縮小することが可能になるという効果がある。

【図面の簡単な説明】

【図 1】DRAM のメモリセルを示す縦断面図である。

【図 2】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 3】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 4】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 5】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 6】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 7】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 8】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 9】MIS 構造の容量素子を工程毎に示す縦断面図である。

【図 10】MIS 構造の容量素子の側壁部分及び底面部分に形成される容量を想定したモデルを示す縦断面図である。

【図 11】図 10 に示すモデルのリーク電流を測定した結果を示す図である。

【図 12】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 13】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 14】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 15】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 16】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 17】MIM 構造の容量素子を工程毎に示す縦断面図である。

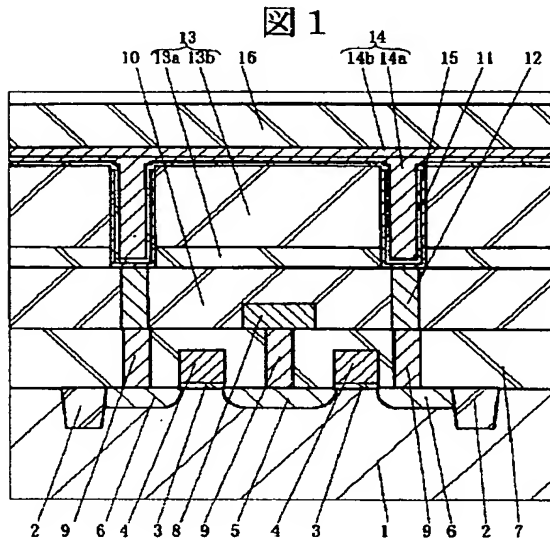
【図 18】MIM 構造の容量素子を工程毎に示す縦断面図である。

【図 19】MIM 構造の容量素子を工程毎に示す縦断面図である。

17

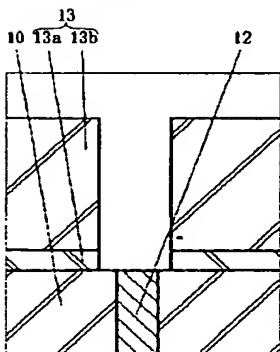
1…半導体基板、2…分離絶縁膜、3…ゲート絶縁膜、
4…ゲート電極、5、6…半導体領域、7、10、13
…層間絶縁膜、13a…下層膜、13b…上層膜、8…
ビット線、9、12…プラグ、11、20…下部電極、
11'…多結晶シリコン膜、14、23…上部電極、1
5…誘電体膜、16…保護絶縁膜、17…酸化珪素膜、
18、26…絶縁膜、19…バリア層、20'…ルテニ
ウム膜、21…酸化珪素膜、22…誘電体膜、23a…

【図 1】



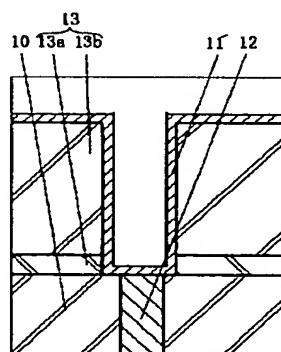
【図 4】

図 4



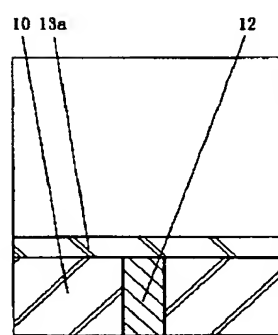
【図 5】

図 5



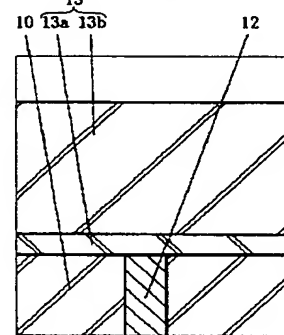
【図 2】

図 2



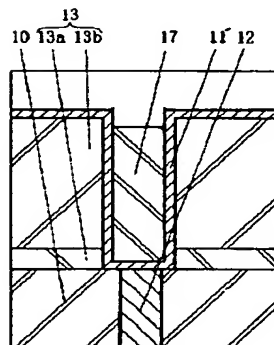
【図 3】

図 3



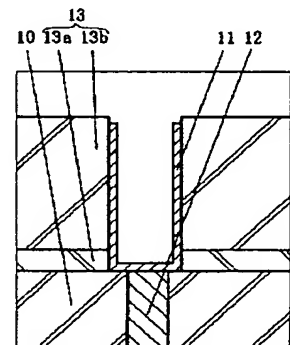
【図 6】

図 6



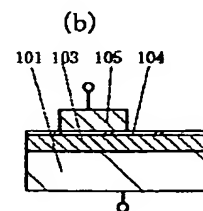
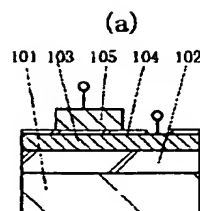
【図 7】

図 7



【図 10】

図 10

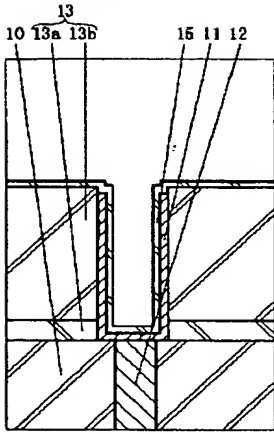


101 103 105 104 102

101 103 105 104

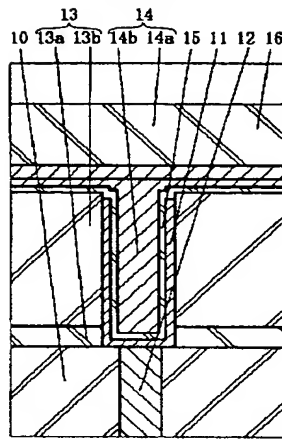
【図8】

図8



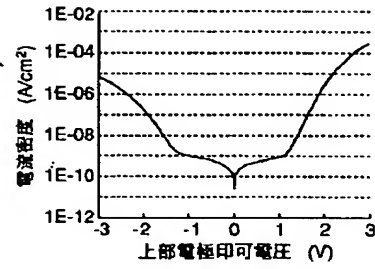
【図9】

図9



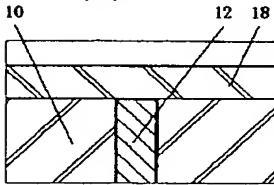
【図11】

図11



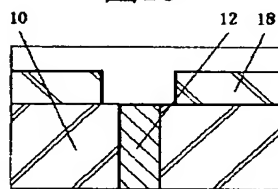
【図12】

図12



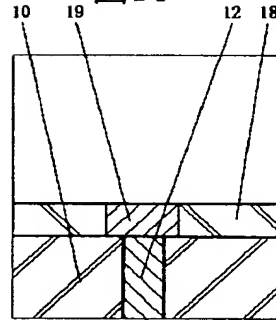
【図13】

図13



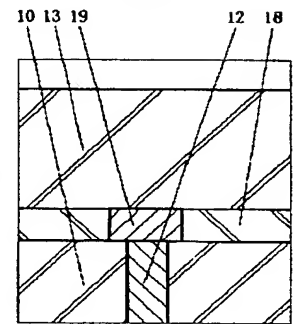
【図14】

図14



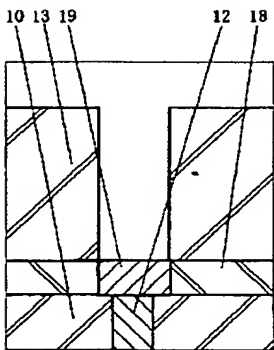
【図15】

図15



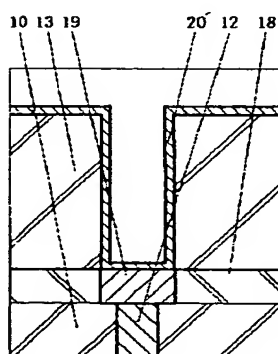
【図16】

図16



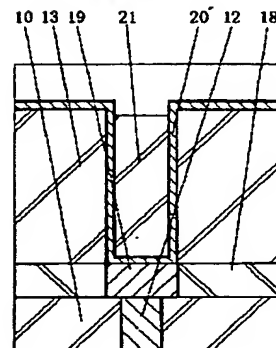
【図17】

図17



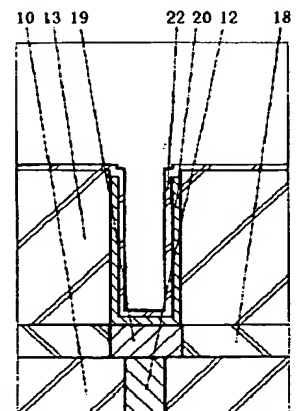
【図18】

図18

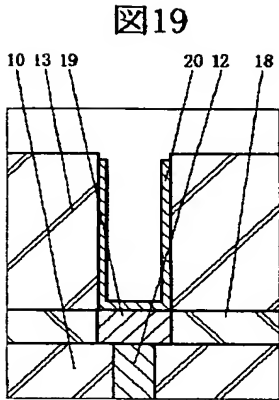


【図20】

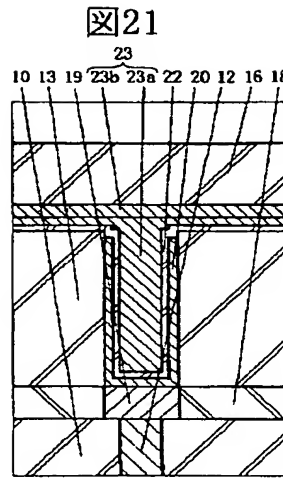
図20



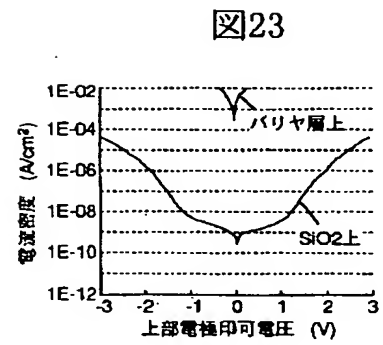
【図19】



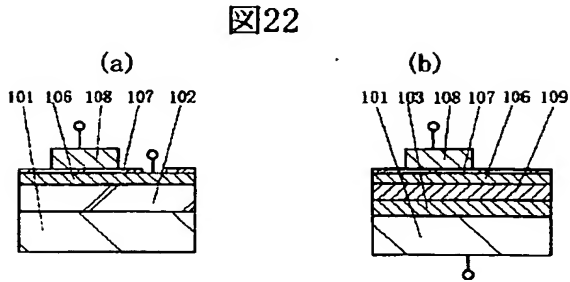
【図21】



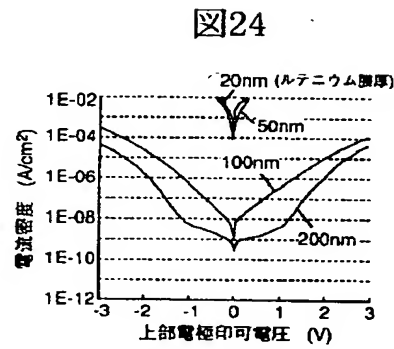
【図23】



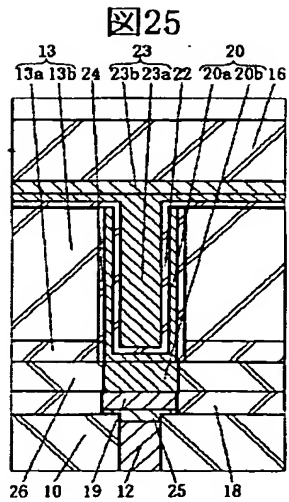
【図22】



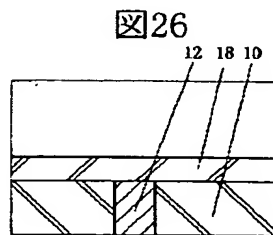
【図24】



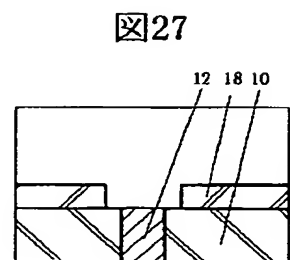
【図25】



【図26】

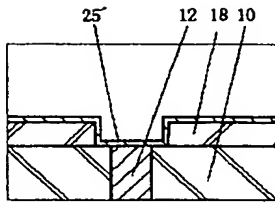


【図27】



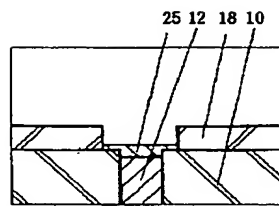
【図 28】

図28



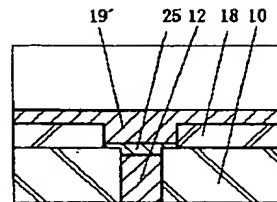
【図 29】

図29



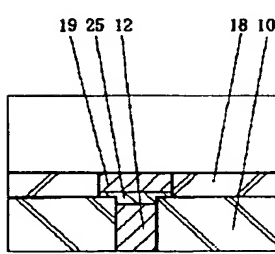
【図 30】

図30



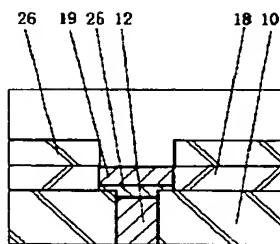
【図 31】

図31



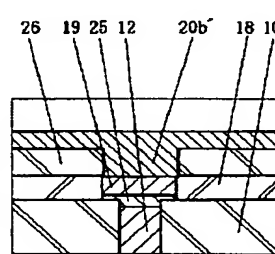
【図 32】

図32



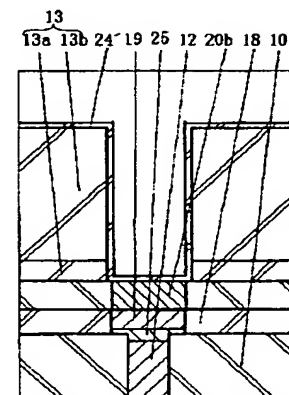
【図 33】

図33



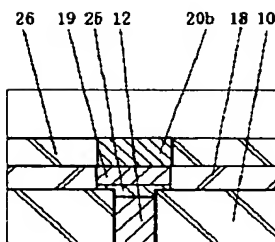
【図 37】

図37



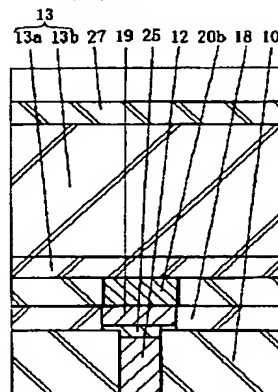
【図 34】

図34



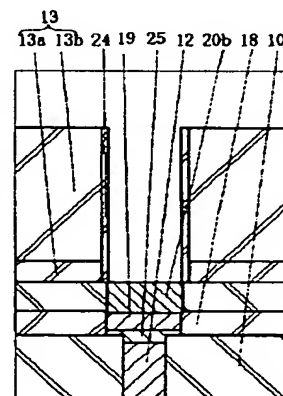
【図 35】

図35



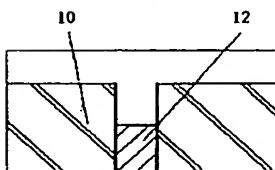
【図 38】

図38



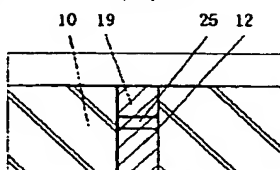
【図 44】

図44

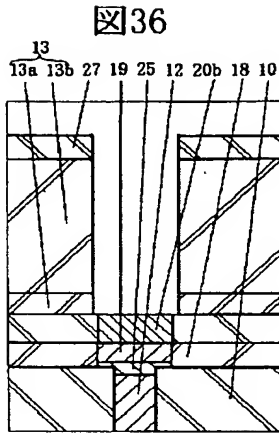


【図 45】

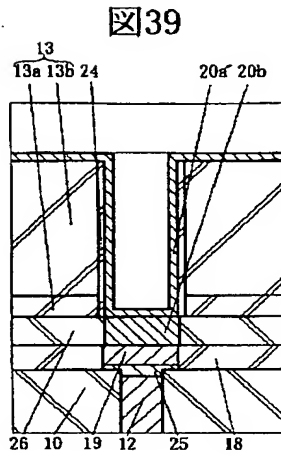
図45



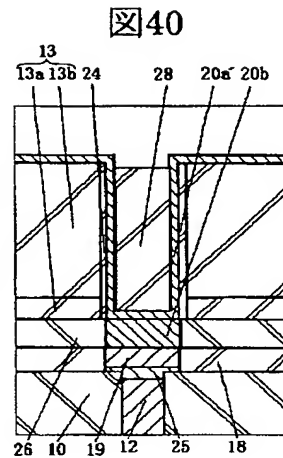
【図 36】



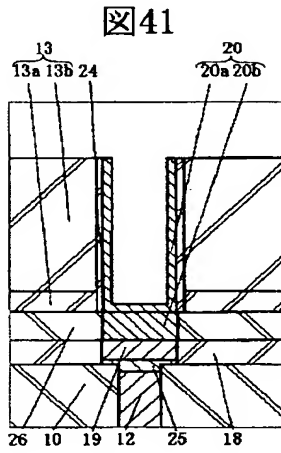
【図 39】



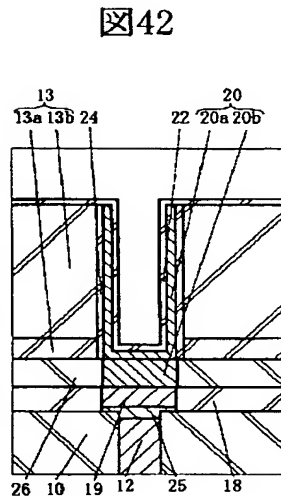
【図 40】



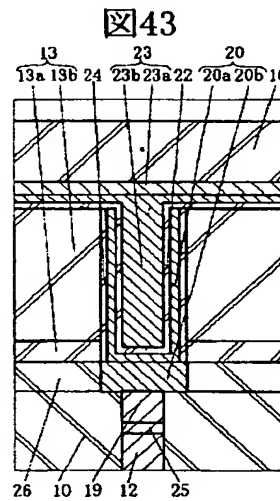
【図 41】



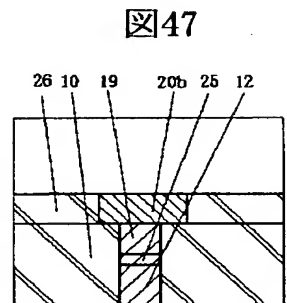
【図 42】



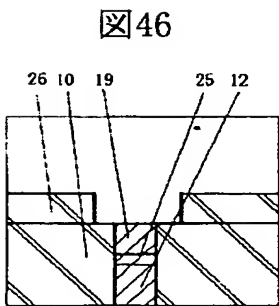
【図 43】



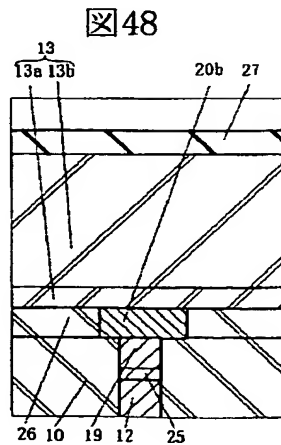
【図 47】



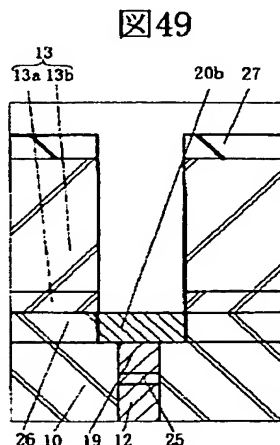
【図 46】



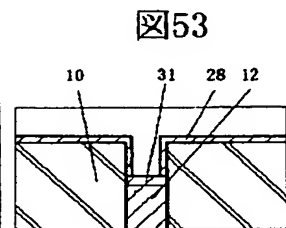
【図 48】



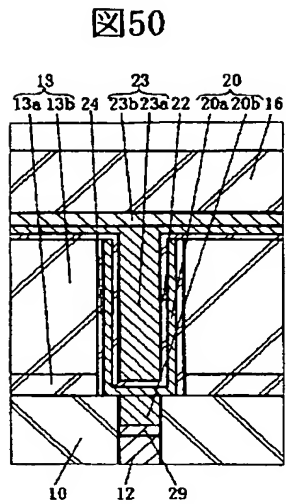
【図 49】



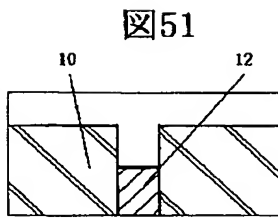
【図 53】



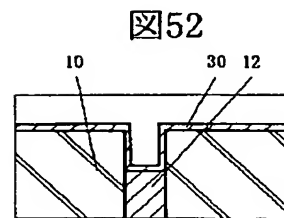
【図 50】



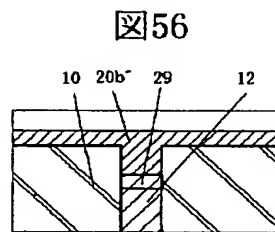
【図 51】



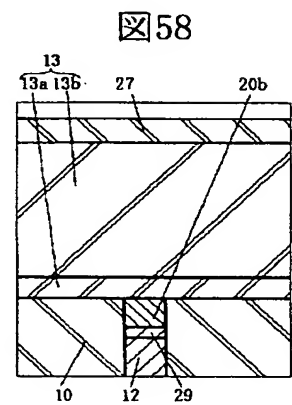
【図 52】



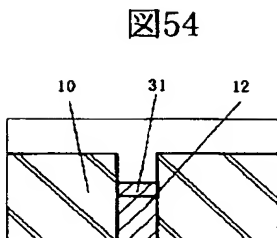
【図 56】



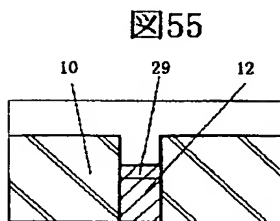
【図 58】



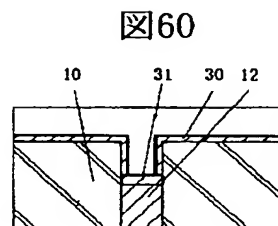
【図 54】



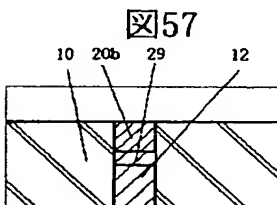
【図 55】



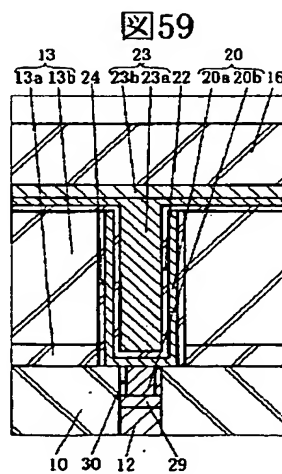
【図 60】



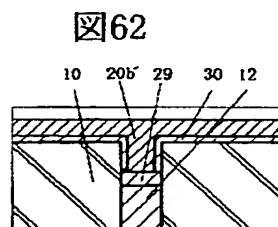
【図 57】



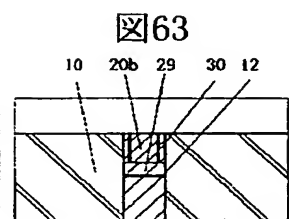
【図 59】



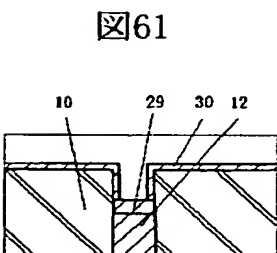
【図 62】



【図 63】



【図 61】

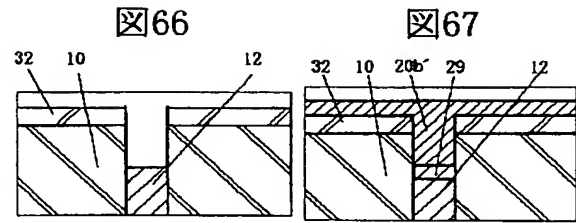
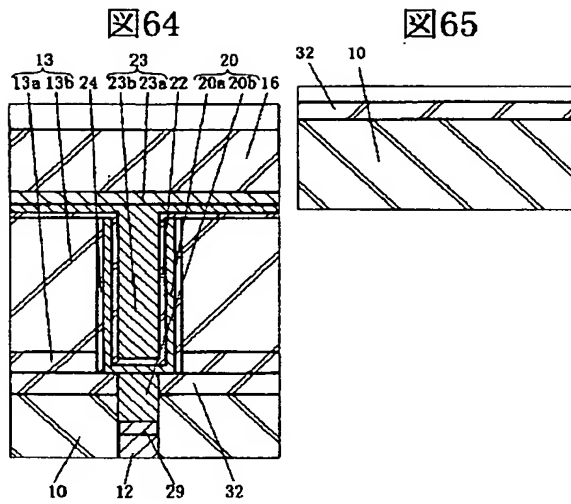


【図64】

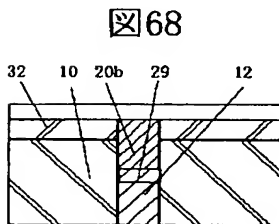
【図65】

【図66】

【図67】



【図68】



フロントページの続き

(72)発明者 浅野 勇
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F083 AD24 AD42 AD43 GA06 JA06
JA35 JA38 JA39 JA40 MA05
MA06 MA17 PR33